

# JEITA

電子情報技術産業協会規格

Standard of Japan Electronics and Information Technology Industries Association

*JEITA ED-5007*

**統一化広電源電圧 CMOS インターフェース規格**

**Unified wide power supply voltage range CMOS DC interface  
standard for non-terminated digital integrated circuits**

2010 年 4 月制定

作 成

半導体実装・製品技術専門委員会

Semiconductor Product Technology Committee of Japan

発 行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

© JEITA :2010 - Copyright - all reserved

No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

# CONTENTS

	page
<b>1 Interface Standard</b> .....	1
<b>1.1 Purpose</b> .....	1
<b>1.2 Scope</b> .....	1
<b>2 Standard specifications</b> .....	1
<b>2.1 Absolute maximum continuous ratings</b> .....	1
<b>2.2 Recommended operating conditions</b> .....	3
<b>2.3 DC electrical characteristics</b> .....	3
<b>3 Test conditions</b> .....	5
<b>3.1 Positive Going Threshold Voltage: <math>V_{t+}</math> (<math>V_p</math>)</b> .....	5
<b>3.2 Negative Going Threshold Voltage: <math>V_{t-}</math> (<math>V_n</math>)</b> .....	5

## 目 次

	ページ
1 まえがき .....	2
1.1 目的 .....	2
1.2 適用範囲 .....	2
2 仕様 .....	2
2.1 絶対最大定格 .....	2
2.2 推奨動作条件 .....	4
2.3 DC仕様 .....	4
3 テスト条件 .....	6
3.1 立ち上がり入カスレッシュヨルド電圧 $V_{t+}(V_p)$ .....	6
3.2 立ち下がり入カスレッシュヨルド電圧 $V_{t-}(V_n)$ .....	6
解説 .....	7

Standard of Japan Electronics and Information Technology Industries Association

# Unified wide power supply voltage range CMOS DC interface standard for non-terminated digital integrated circuits

## 1 Interface Standard

### 1.1 Purpose

To provide this standard of specifications for uniformity, multiplicity of sources, elimination of confusion, and ease of device specification and design by users.

### 1.2 Scope

This standard defines DC interface parameters and test conditions for a family of non-terminated CMOS digital circuits intended for use over a wide power supply voltage range. The standard bridges a number of existing **JEITA ED-500xA (x = 1 ~ 6) standards** to facilitate applications that operate over an ultra-wide power supply voltage range in order to achieve lower power dissipation or higher performance. Three voltage range categories (1, 2 and 3) are defined to support a variety of application requirements. A design claiming compliance with the standard must specifically identify the category or categories supported.

Some characteristics of it do not support DDR SDRAM specs (DDR2, DDR3 etc.).

## 2 Standard specifications

All voltages listed are referenced to ground except where noted.

### 2.1 Absolute maximum continuous ratings

**Table 1 – Absolute maximum continuous ratings**

Parameter	Condition	Range	Note
Supply Voltage, $V_{DD}$	Category 1	-0.5 V to 4.6 V	<b>1, 4</b>
	Category 2	-0.5 V to 3.6 V	<b>1, 4</b>
	Category 3	-0.5 V to 2.5 V	<b>1, 4</b>
dc Input Voltage, $V_{IN}$	except I/O pins	-0.5 V to $V_{DD} + 0.5$ V	<b>1, 2, 3</b>
dc Output Voltage, $V_{OUT}$	including I/O pins	-0.5 V to $V_{DD} + 0.5$ V	<b>2, 3</b>
dc Input Diode Current, $I_{IK}$	$V_{IN} < 0$ or $V_{IN} > V_{DD}$	+/- 20 mA	-
dc Output Diode Current, $I_{OK}$	$V_{OUT} < 0$ or $V_{OUT} > V_{DD}$	+/- 20 mA	-
$T_{STG}$	-	-	<b>4</b>

**Note 1** Absolute maximum continuous ratings are those values beyond which damage to the device may occur. Exposure to these conditions beyond those indicated may adversely affect device reliability. Functional operation under absolute maximum conditions is not implied.

**Note 2** Not to exceed maximum  $V_{DD}$ .

**Note 3** Range limited to “-0.4 V to  $V_{DD} + 0.4$  V” when  $V_{DD}$  is less than 1.1 V.

**Note 4** Specified by manufacturer for various purposes, respectively.

## 電子情報技術産業協会規格

## 統一化広電源電圧 CMOS インターフェース規格

Unified wide power supply voltage range CMOS DC interface  
standard for non-terminated digital integrated circuits

## 1 まえがき

## 1.1 目的

この標準インターフェース規格の制定は、ICにおける電源電圧仕様の統一性、互換性の確保、仕様の不一致による混乱の防止、及びユーザによるデバイスの仕様決定や設計の容易化を目的とする。

## 1.2 適用範囲

この規格は、広電源電圧範囲で駆動する（又は駆動される）非終端 CMOS デジタル回路の DC インターフェース・パラメータ及び試験条件を定義する。

この規格は、既存の JEITA ED-500xA (x = 1~6) 規格を包括する内容となっており、より低消費電力又は高性能化を達成するために、さらに広電源電圧範囲で動作するアプリケーションを手助けするものである。

具体的には、様々なアプリケーションの仕様（要求）をサポートするために、三つの電圧カテゴリが定義されている。そして、規格の順守を要求する設計では、本カテゴリのいずれか又はいくつかで特定されなければならない。

なお、この規格は、DDR2 や DDR3 などの DDR SDRAM 規格について言及するものではない。

## 2 仕様

特に表記のない限り、すべての電圧はグラウンドを基準とする。

## 2.1 絶対最大定格

絶対最大定格は、表 1 による。

表 1—絶対最大定格<sup>(1)</sup>

項目	記号	条件	定格値	単位
電源電圧	V <sub>DD</sub>	カテゴリ 1 <sup>(4)</sup>	-0.5~4.6	V
		カテゴリ 2 <sup>(4)</sup>	-0.5~3.6	V
		カテゴリ 3 <sup>(4)</sup>	-0.5~2.5	V
DC 入力電圧	V <sub>IN</sub>	I/O 端子を除く	-0.5~V <sub>DD</sub> +0.5 <sup>(2)(3)</sup>	V
DC 出力電圧	V <sub>OUT</sub>	I/O 端子を含む	-0.5~V <sub>DD</sub> +0.5 <sup>(2)(3)</sup>	V
DC 入力電流	I <sub>IK</sub>	V <sub>IN</sub> <0 V 又は V <sub>IN</sub> >V <sub>DD</sub>	±20	mA
DC 出力電流	I <sub>OK</sub>	V <sub>OUT</sub> <0 V 又は V <sub>OUT</sub> >V <sub>DD</sub>	±20	mA
保存温度範囲	T <sub>STG</sub>	—	<sup>(4)</sup>	°C

注<sup>(1)</sup> 絶対最大定格とは、これらの値を超えるとデバイスに損傷が生じる可能性のある値を示す。  
本定格内であっても、この規格の推奨動作条件を超えている場合の機能動作は保証されない。

注<sup>(2)</sup> V<sub>DD</sub> の最大値を超えてはいけない。

注<sup>(3)</sup> V<sub>DD</sub> ≤ 1.1 V のときは、-0.4~V<sub>DD</sub>+0.4 [V] とする。

注<sup>(4)</sup> 製造業者によって、用途ごとに個別に定める値。

## 2.2 Recommended operating conditions

**Table 2 – Recommended operating conditions**

Symbol	Parameter	Category (Note 5)	Operating Range (Note 6)
$V_{DD}$	Power Supply Voltage	1	1.65 V to 3.6 V
		2	1.4 V to 2.7 V
		3	0.7 V to 1.95 V
$T_A$	Operating Temperature	-	(Note 7)

**Note 5** Categorized by manufacturer for each application. An application may support one or more categories.

**Note 6** Specified according to recommended operating conditions for each device.

**Note 7** Specified by manufacture to be commercial, industrial, and/or military grade.

## 2.3 DC electrical characteristics

All specifications in the following tables apply across the operating temperature range.

**Table 3 – DC electrical characteristics (Note 8)**

Symbol	Parameter	Test Condition	MIN	MAX	Unit
$V_{IH}$	Input High Voltage	-	$0.7 V_{DD}$	$V_{DD} + 0.3$	V
$V_{IL}$	Input Low Voltage	-	-0.3	$0.3 V_{DD}$	V
$V_{OH}$	Output High Voltage	$I_{OH} = -100 \mu A$	$0.85 V_{DD}$	-	V
$V_{OL}$	Output Low Voltage	$I_{OL} = 100 \mu A$	-	$0.15 V_{DD}$	V

**Note 8** For  $V_{IH}$  and  $V_{IL}$ ,  $V_{DD}$  refers to the receiving device. For  $V_{OH}$  and  $V_{OL}$ ,  $V_{DD}$  refers to the sending device.

**Table 4 – DC electrical characteristics for Schmitt trigger operation (Note 9)**

Symbol	Parameter	Test Condition	MIN	MAX	Unit
$V_{t+} (V_p)$	Positive Going Threshold Voltage	$V_{OUT} \geq V_{OH} (\text{min})$	$0.35 V_{DD}$	$0.75 V_{DD}$	V
$V_{t-} (V_n)$	Negative Going Threshold Voltage	$V_{OUT} \leq V_{OL} (\text{max})$	$0.25 V_{DD}$	$0.65 V_{DD}$	V
$V_H (\Delta V_t)$	Hysteresis Voltage	$V_{t+} - V_{t-}$	$0.1 V_{DD}$	$0.5 V_{DD}$	V
$V_{OH}$	Output High Voltage	$I_{OH} = -100 \mu A$	$0.85 V_{DD}$	-	V
$V_{OL}$	Output Low Voltage	$I_{OL} = 100 \mu A$	-	$0.15 V_{DD}$	V

**Note 9** For  $V_{t+} (V_p)$  and  $V_{t-} (V_n)$ ,  $V_{DD}$  refers to the receiving device. For  $V_{OH}$  and  $V_{OL}$ ,  $V_{DD}$  refers to the sending device.

## 2.2 推奨動作条件

推奨動作条件は、表 2 による。

表 2—推奨動作条件

項目	記号	カテゴリ <sup>(5)</sup>	動作範囲 <sup>(6)</sup>	単位
電源電圧	V <sub>DD</sub>	1	1.65~3.6	V
		2	1.4~2.7	V
		3	0.7~1.95	V
動作温度	T <sub>A</sub>	—	<sup>(7)</sup>	°C

注<sup>(5)</sup> アプリケーションに応じて、製造業者によって分類される。アプリケーションは、一又は複数のカテゴリをサポートする。

注<sup>(6)</sup> デバイスの推奨動作条件によって定める値。

注<sup>(7)</sup> 製造業者によって、用途ごとに個別に定める値。

## 2.3 DC 仕様

次の仕様は、すべての動作温度範囲内で適用される。

表 3—DC 仕様<sup>(8)</sup>

項目	記号	条件	最小	最大	単位
高レベル入力電圧	V <sub>IH</sub>	—	0.7 V <sub>DD</sub>	V <sub>DD</sub> +0.3	V
低レベル入力電圧	V <sub>IL</sub>	—	-0.3	0.3 V <sub>DD</sub>	V
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = -100 μA	0.85 V <sub>DD</sub>	—	V
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 100 μA	—	0.15 V <sub>DD</sub>	V

注<sup>(8)</sup> V<sub>IH</sub>, V<sub>IL</sub>に用いる V<sub>DD</sub> は、受信デバイスの V<sub>DD</sub> 電圧である。V<sub>OH</sub>, V<sub>OL</sub>に用いる V<sub>DD</sub> は、送信デバイスの V<sub>DD</sub> 電圧である。

表 4—DC 仕様 (シュミットトリガ動作)<sup>(9)</sup>

項目	記号	条件	最小	最大	単位
立ち上がり入力スレッシュホールド電圧	V <sub>t+</sub> (V <sub>p</sub> )	V <sub>OUT</sub> ≥ V <sub>OH</sub> (min)	0.35 V <sub>DD</sub>	0.75 V <sub>DD</sub>	V
立ち下がり入力スレッシュホールド電圧	V <sub>t-</sub> (V <sub>n</sub> )	V <sub>OUT</sub> ≤ V <sub>OL</sub> (max)	0.25 V <sub>DD</sub>	0.65 V <sub>DD</sub>	V
ヒステリシス電圧	V <sub>H</sub> (ΔV <sub>I</sub> )	V <sub>t+</sub> - V <sub>t-</sub>	0.1 V <sub>DD</sub>	0.5 V <sub>DD</sub>	V
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = -100 μA	0.85 V <sub>DD</sub>	—	V
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 100 μA	—	0.15 V <sub>DD</sub>	V

注<sup>(9)</sup> V<sub>t+</sub> (V<sub>p</sub>), V<sub>t-</sub> (V<sub>n</sub>) に用いる V<sub>DD</sub> は、受信デバイスの V<sub>DD</sub> 電圧である。V<sub>OH</sub>, V<sub>OL</sub> に用いる V<sub>DD</sub> は、送信デバイスの V<sub>DD</sub> 電圧である。



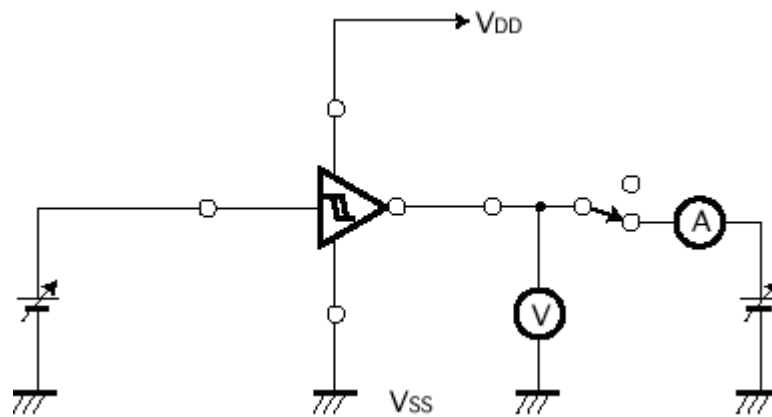
### 3 Test conditions

#### 3.1 Positive Going Threshold Voltage: $V_{t+}$ ( $V_p$ )

Input signal is raised from a ground level in the measurement circuit shown in **Fig. 1**, and the input voltage value of which output logic changed is determined as  $V_{t+}$  ( $V_p$ ).

#### 3.2 Negative Going Threshold Voltage: $V_{t-}$ ( $V_n$ )

Input signal is dropped from a power supply voltage level in the measurement circuit shown in **Fig. 1**, and the input voltage value of which output logic changed is determined as  $V_{t-}$  ( $V_n$ ).



**Fig. 1 – DC characteristic measurement circuit of Schmitt-trigger input**

### 3 テスト条件

#### 3.1 立ち上がり入カスレッシュヨルド電圧 $V_{t+}(V_p)$

図 1 に示す測定回路にて、入力信号をグランドレベルから上昇させ、出力論理が変化した入力電圧値を  $V_{t+}(V_n)$  とする。

#### 3.2 立ち下がり入カスレッシュヨルド電圧 $V_{t-}(V_n)$

図 1 に示す測定回路にて、入力信号を電源電圧レベルから降下させ、出力論理が変化した入力電圧値を  $V_{t-}(V_n)$  とする。

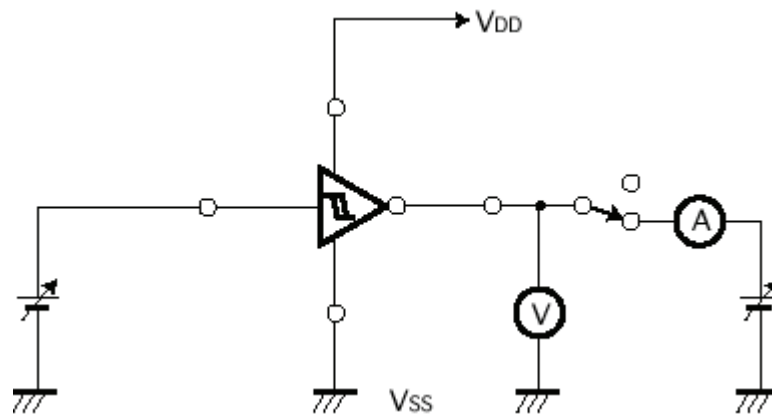


図 1—シュミットトリガ入力の DC 特性測定回路

# 統一化広電源電圧 CMOS インターフェース規格 解説

## 1 制定の目的

この規格は、広電源電圧で駆動する（又は駆動される）非終端デジタル回路の電源電圧範囲、及び DC インターフェースの各種パラメータについて、統一化した仕様を定義することにより、IC における電源電圧仕様の統一性、互換性の確保、仕様の不一致による混乱の防止、及びユーザによるデバイスの仕様決定や設計の容易化を目的とする。

## 2 過程

### 2.1 これまでの審議

IC の電源電圧仕様は、米国の JEDEC JC-16 低電圧・高速インターフェース委員会（以下、JEDEC という。）が主導的に審議を行い、実質的に国際的な業界標準を制定してきた。

一方、JEITA の下部組織である低電圧 IC サブコミティ（以下、サブコミティという。）（1992 年に旧 EIAJ の下部組織として発足）も設立以来、JEDEC との協調を図り、情報交換などの活動を行ってきた。

IC の電源電圧は 80 年代から長い間、実質 5 V 単一の時代が続いていた。しかしながら、90 年代に入り、長時間の電池駆動が要求される携帯機器（ノート PC、など）や性能最優先の高性能機器（WS、など）を中心に、システムの低消費電力化、低雑音化のために電源電圧の低電圧化の必要性が本格的に叫ばれるようになってきた。一方、IC も 0.5  $\mu\text{m}$  以下のディープサブミクロン技術時代を迎え、信頼性を確保し、高集積化・高速化のトレンドを維持するには電源電圧の低電圧化が必須となってきた。

このような技術動向を受けて、JEDEC では 1990 年代初頭より 2002 年にかけて、3.3 V から 1.0 V までの低電源電圧 CMOS インターフェース規格が相次いで制定された。

また、同時期に JEITA においても、JEDEC での審議の状況、及び 90 年代半ば以降の 3.3 V 電源電圧 IC の本格的な普及とポスト 3.3 V の到来を睨んで、サブコミティにて低電圧仕様の審議を本格的に開始した。そして、適宜 JEDEC への提案を行いつつ互いの意見統一を図り、1998 年から 2002 年の間に、3.3 V ~ 1.0 V の低電源電圧 CMOS インターフェース規格を制定した。

その後、サブコミティでは、シュミットトリガ入力についての DC 規格制定に向けて、2003 年より審議を開始し、JEDEC に提案を行った。そして、既存の低電源電圧仕様にシュミット規格を追加することで合意し、2004 年 12 月に JEDEC、2006 年 4 月に JEITA にてインターフェース規格が制定された。

なお、これらの規格は、0.10  $\mu\text{m}$  時代の高性能・高集積な IC を想定し、高速動作を目的としたレギュレータ駆動のノーマルレンジと、低消費電力動作を目的とした電池駆動のワイドレンジとで構成される。

付表 1 に、JEDEC 及び JEITA で制定された低電源電圧 CMOS インターフェース規格（以下、従来規格という。）を示す。

付表 1—低電源電圧 CMOS インターフェース規格（従来規格）

電源電圧仕様	JEDEC	JEITA
3.3 V	JESD8C.01	ED-5001A
2.5 V	JESD8-5A	ED-5002A
1.8 V	JESD8-7A	ED-5003A
1.5 V	JESD8-11A	ED-5004A
1.2 V	JESD8-12A	ED-5005A
1.0 V	JESD8-14A	ED-5006A

## 2.2 「統一化広電源電圧 CMOS インターフェース規格」について

昨今、携帯型機器の性能が飛躍的に向上し、システムの低消費電力化が一層図られている。そのため、アプリケーションに応じて、より広範囲な電源電圧に対応したインターフェース規格が求められている。

- ・従来規格におけるワイドレンジ電源電圧仕様は、主に乾電池駆動を想定したものであるため、充電電池駆動に代表される昨今の電池駆動システムに適用し難い。
- ・従来規格のうち、3.3 V 電源電圧仕様は TTL インターフェースを想定したものであり、入力及び出力電圧規格が他の電源電圧仕様のそれと連続性をもたない。

そこで、「統一化広電源電圧 CMOS インターフェース規格」は、従来規格の枠組みを参照しつつ、低消費電力かつ高機能なアプリケーションに対応することを目的とする。

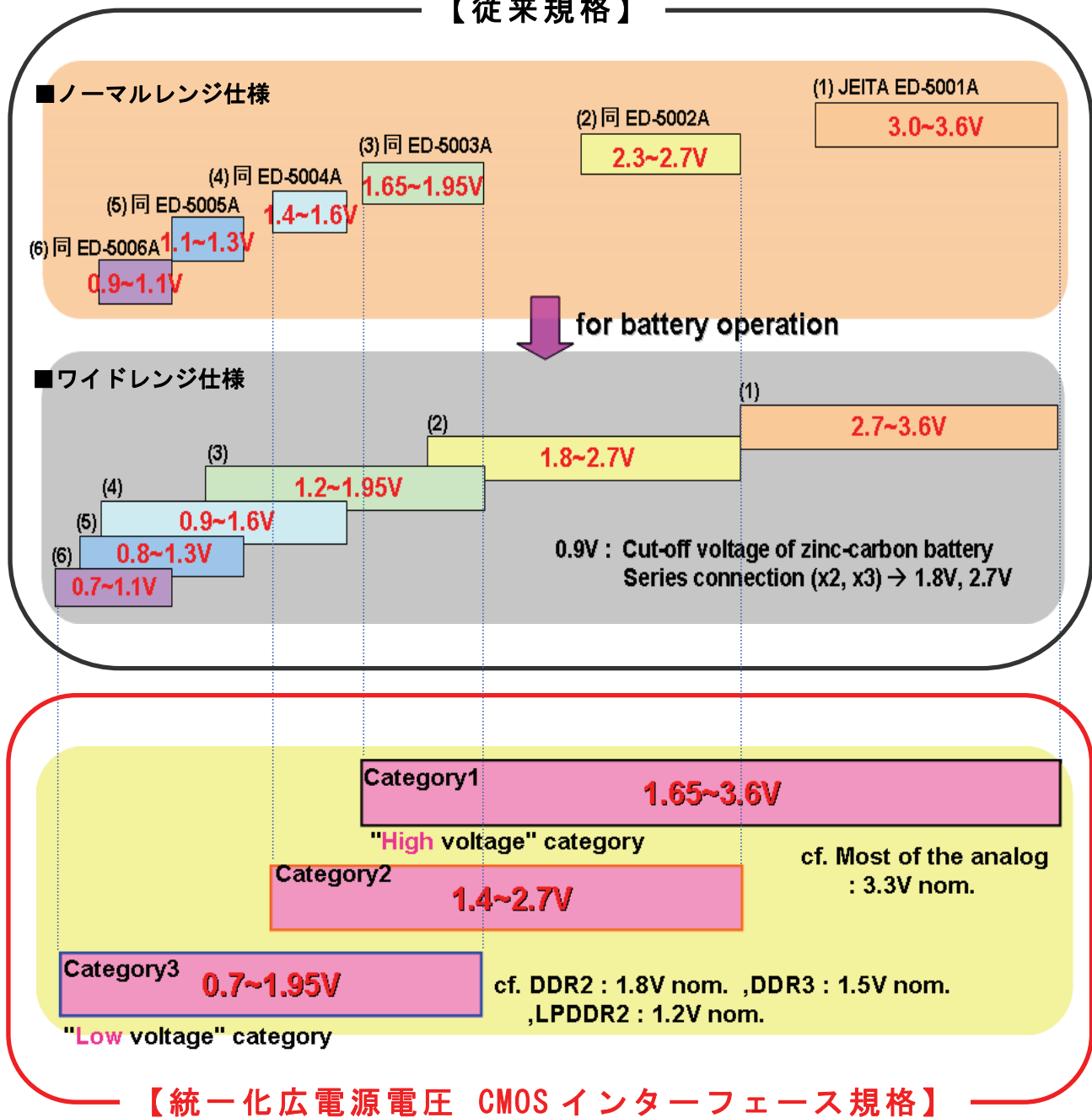
- ・電源電圧仕様を三つのカテゴリに集約する（付表 2，付図 1）。
- ・入出力電圧規格を統一化する（付図 2，3，4）。

サブコミュニティでは、2006 年より審議を開始し、2008 年 8 月に JEDEC に提案を行った。そして、2009 年 10 月に JEDEC にてインターフェース規格（JESD8-23）が制定された。

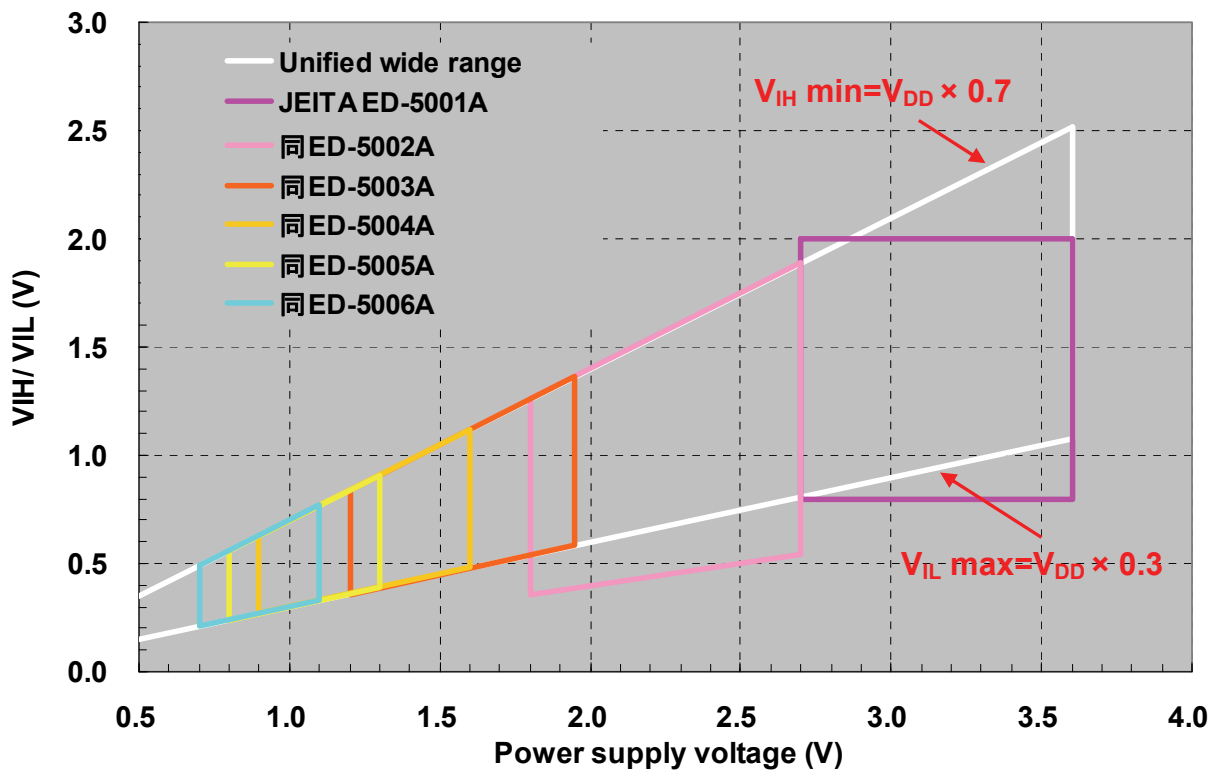
付表 2—電源電圧仕様

	電源電圧仕様	従来規格		統一化広電源電圧 CMOS インターフェース規格		
		JEDEC	JEITA	カテゴリ 1	カテゴリ 2	カテゴリ 3
(1)	3.3 V	JESD8C.01	ED-5001A			
(2)	2.5 V	JESD8-5A	ED-5002A			
(3)	1.8 V	JESD8-7A	ED-5003A			
(4)	1.5 V	JESD8-11A	ED-5004A			
(5)	1.2 V	JESD8-12A	ED-5005A			
(6)	1.0V	JESD8-14A	ED-5006A			

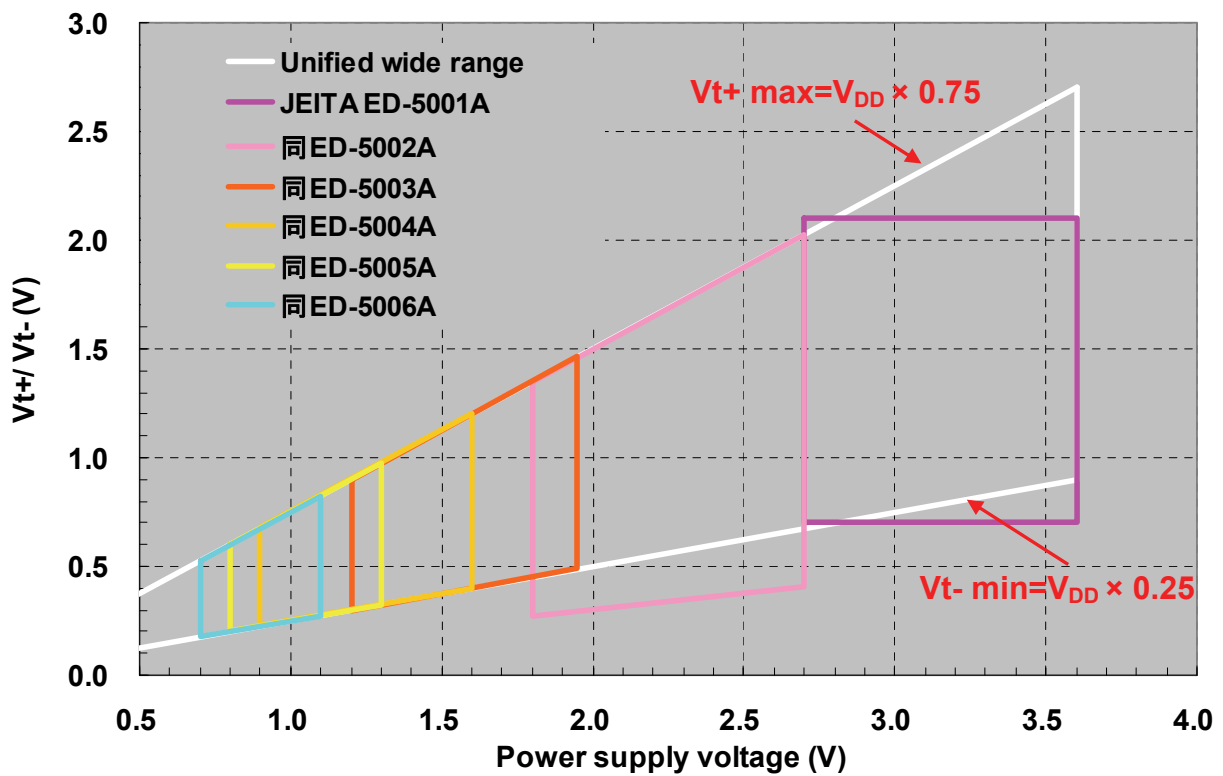
【従来規格】



付図 1—電源電圧仕様



付図 2—入力電圧規格 Window



付図 3—入力電圧規格 Window (シュミットトリガ)

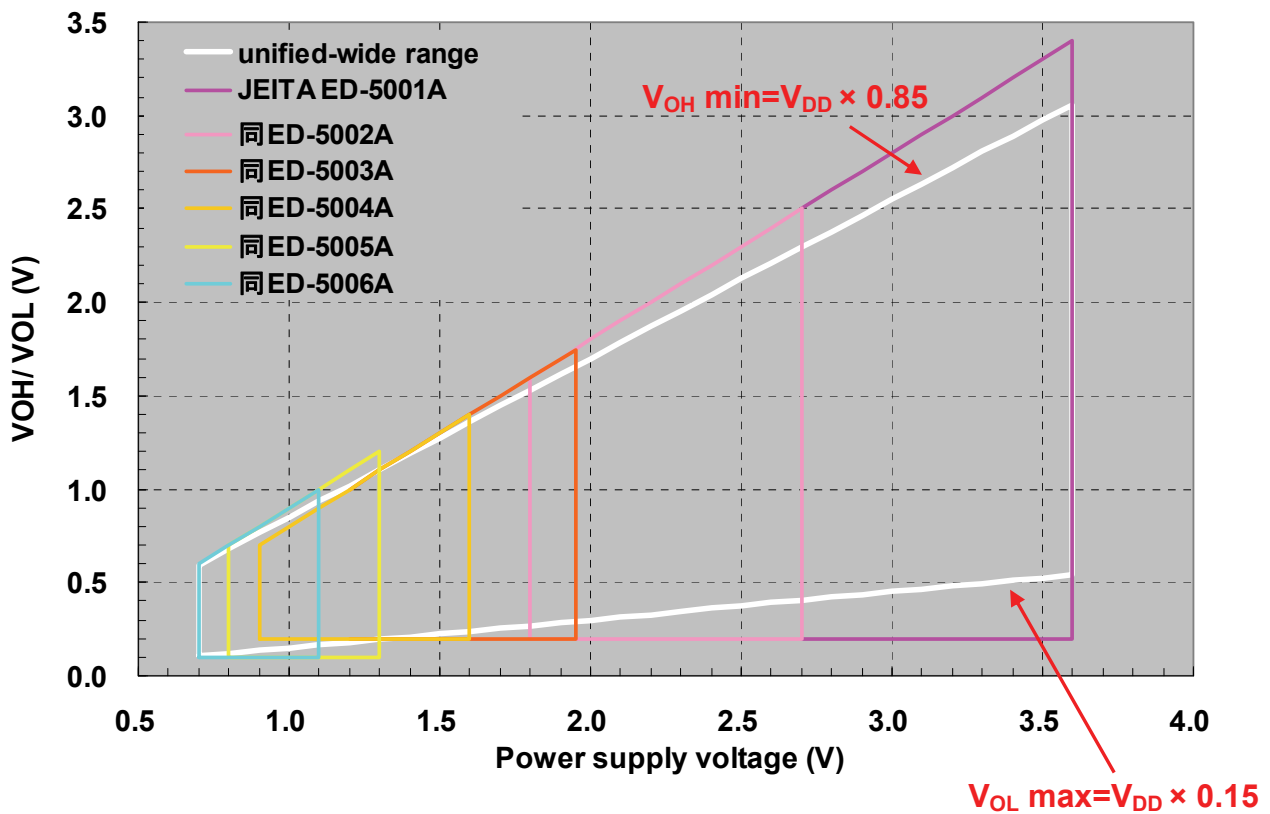


図 4—出力電圧規格 Window

### 3 審議委員

この規格の審議は、主に半導体実装・製品技術専門委員会／集積回路製品技術小委員会の低電圧 IC サブコミティが行った。以下にその委員を示す。

<半導体実装・製品技術専門委員会>

委員長 (株)ルネサステクノロジ 宮本和俊

<集積回路製品技術小委員会>

主査 エルピーダメモリ(株) 菅野利夫

<低電圧 IC サブコミティ>

主査 富士通VLSI(株) 宇野治

副主査 日本アイ・ビー・エム(株) 松瀬秀作

委員 (株)東芝 山口一夫

(株)東芝 衣笠昌典

三洋半導体(株) 藤田浩志

三洋半導体(株) 馬場秀光

パナソニック(株) 吉河武文

日本アイ・ビー・エム(株) 安田岳雄

セイコーエプソン(株) 角張秀幸

アドバイザー (株)日立製作所 三谷真一郎

(社) 電子情報技術産業協会が発行している規格類は、工業所有権（特許，実用新案など）に関する抵触の有無に関係なく制定されています。

(社) 電子情報技術産業協会は、この規格類の内容に関する工業所有権に係る確認について、責任はもちません。

JEITA ED-5007

2010年4月発行

発行 (社) 電子情報技術産業協会 電子デバイス部  
〒100-0004 東京都千代田区大手町 1-1-3  
TEL 03-5218-1061 FAX 03-5218-1080

印刷 (株) オガタ印刷  
〒102-0072 東京都千代田区飯田橋 1-5-6  
TEL 03-3264-3456

禁 無 断 転 載

（この規格類の全部又は一部を転載しようとする場合は、発行者の許可を得て下さい。）





Standard of Japan Electronic and Information Technology Industries Association

*JEITA ED-5007*

**Unified wide power supply voltage range CMOS DC interface  
standard for non-terminated digital integrated circuits**

Established in April, 2010

Prepared by

Semiconductor Product Technology Committee of Japan

Published by

Japan Electronics and Information Technology Industries Association

Ote Center Bldg., 1-3, Otemachi 1-chome, Chiyoda-ku, Tokyo, 100-0004, Japan

Printed in Japan