

令和 8 年 10 月 19 日

各 位

(一社) 電子情報技術産業協会
半導体信頼性技術委員会
個別半導体信頼性試験規格 PG
化合物パワー半導体信頼性技術 WG

〈現地開催〉

個別半導体信頼性試験規格 PG

化合物パワー半導体信頼性技術 WG ガイドラインセミナー

『パワー半導体 (Si/SiC) の信頼性ガイドライン』

拝啓 時下益々ご清祥のこととお慶び申し上げます。平素は、当協会の諸事業に対しまして格別のご高配を賜り、厚く御礼申し上げます。

世界的な温室効果ガス排出規制の強化や新興国の人口増加、そして人工知能 (AI) の活用やデジタルトランスフォーメーション (DX) の推進に伴うエネルギー消費の増大を背景に、パワー半導体は引き続き旺盛な需要が見込まれています。社会インフラを支える重要コンポーネントとしてその役割が拡大する中、炭化ケイ素 (SiC) や窒化ガリウム (GaN) といった化合物半導体の製品化も本格化しており、「信頼性の保証」がこれまで以上に重要となっています。

こうした中、世界初となるパワーモジュールの信頼性に関する国際標準ガイドライン「IEC 63287-3」が制定されました。本セミナーでは、パワー半導体を活用いただくユーザやデバイスメーカー・信頼性評価機関の皆様を対象に、この新しい国際規格の概要を詳しく解説いたします。さらに、SiC デバイス特有の課題である「酸化膜の信頼性」や「結晶欠陥の分類」に対する考え方をはじめ、従来のシリコン (Si) と SiC における「パワーサイクル試験の違い」など、具体的な評価手法についても深掘りしてご説明します。

また、今後の信頼性保証において新潮流となる「SiC の動的ゲートストレス (DGS: Dynamic Gate Stress) による経時絶縁破壊 (TDDB: Time Dependent Dielectric Breakdown)」につきまして、当該分野の第一線でご活躍されている千葉工業大学 工学部 電気電子工学科の林准教授をお招きし、特別講演を開催いたします。

次世代デバイスの開発や品質保証に携わる皆様にとって、必携の最新情報を提供するセミナーとなっております。多くの皆様のご参加を心よりお待ちしております。

敬 具

【開催概要】

日 時 : 令和8年12月10日(木) 10:00 ~ 16:25 (開場9:30 ~)

場 所 : AP 東京丸の内 Room B+C
東京都千代田区丸の内1-1-3 (日本生命丸の内ガーデンタワー 3階)
https://www.tc-forum.co.jp/ap-marunouchi/#anchor_top

主 催 : (一社) 電子情報技術産業協会
半導体信頼性技術委員会
個別半導体信頼性試験規格 PG
化合物パワー半導体信頼性技術 WG

定 員 : 対面参加 40名 (定員になり次第、締め切らせていただきます。)

参加費 : 会員 25,000 円 (税込)
非会員 (一般) 30,000 円 (税込)
学生 3,000 円 (税込)
※会員・非会員の区分は、下記にてご確認ください。
<https://www.jeita.or.jp/cgi-bin/member/list.cgi>

※支払方法について

お申込みいただいた方に「電子請求書 (PDF 版)」を E-mail でお送りいたします。
参加費は、セミナー開催前に、事前支払いをお願いしております。
お振込みいただいた参加費は、ご欠席された場合でも返金できませんので、予めご了承ください。

申込方法 : 事前申込制です。下記サイトからお申し込みください。
<https://www.jeita.or.jp/form/custom/514/form>

申込期限 : 令和8年11月20日(金)
※申込期限までに定員に達した場合は、その時点で締め切らせていただきます。
お申込み後のキャンセルはご遠慮ください。

備 考 : セミナーで解説する内容をまとめた資料につきましては、当日配布いたします。

■会場へのアクセス

AP 東京丸の内 Room B+C

東京都千代田区丸の内 1-1-3 (日本生命丸の内ガーデンタワー 3階)

https://www.tc-forum.co.jp/ap-marunouchi/#anchor_top

交通アクセス

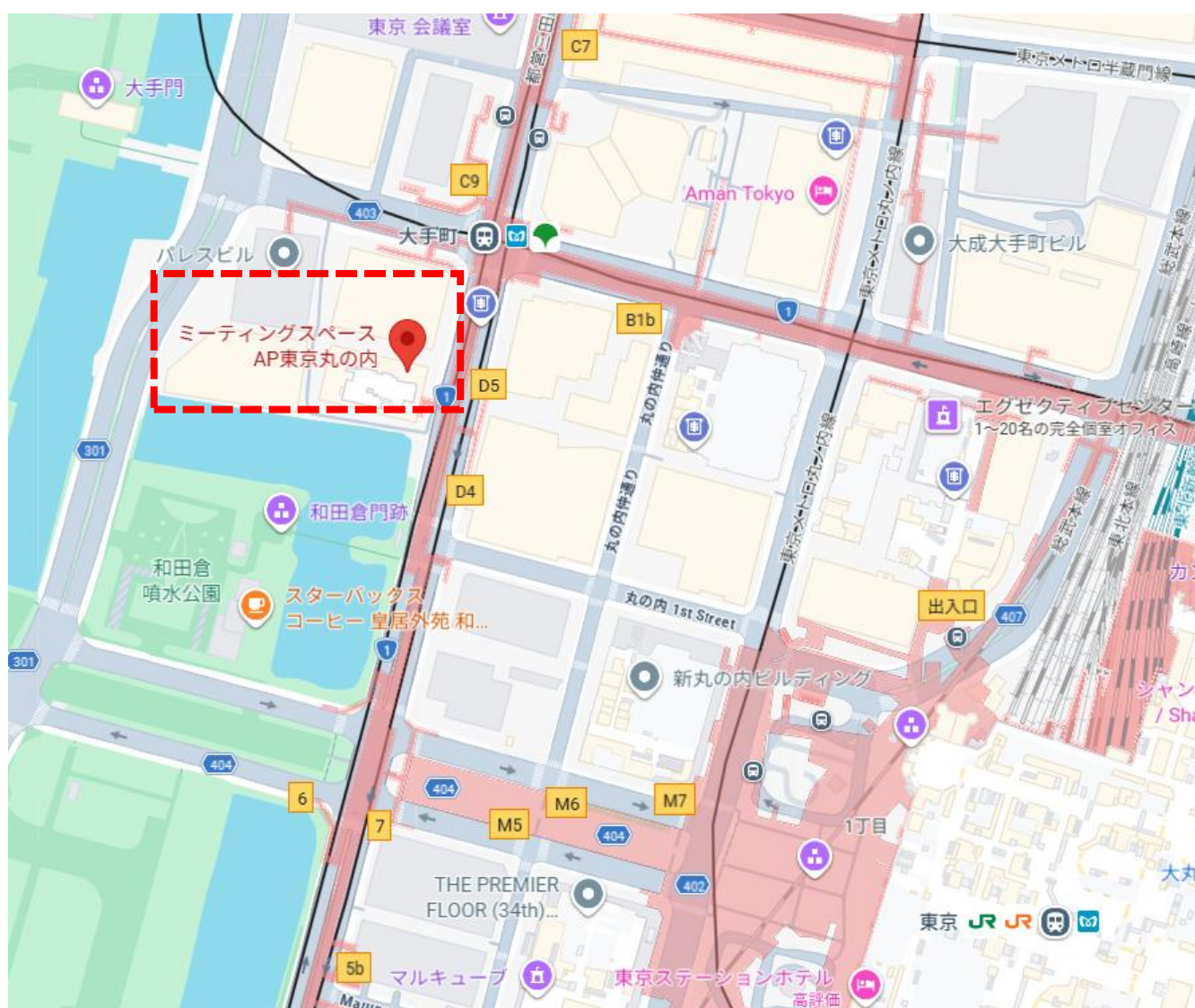
＜東京メトロ千代田線/半蔵門線＞

＜都営地下鉄三田線＞

「大手町駅」D6 出口直結

＜JR 線・東京メトロ丸ノ内線＞

「東京駅」より徒歩 6 分



<https://www.google.com/maps/place/>

■プログラム：

時間	タイトル	登壇者
10:00 ～ 10:10	開会のあいさつ	半導体信頼性技術委員会 委員長 宮本 昇[三菱電機株式会社]
10:10 ～ 10:55	【招待講演】実動作を考慮したゲート電圧設計に向けた SiC MOSFET の酸化膜寿命評価 林 真一郎 准教授[千葉工業大学 工学部 電気電子工学科] SiC MOSFET のゲート酸化膜信頼性について、ゲートスイッチングストレス評価と関連研究を概説する。定格内での特性変動評価から、矩形波電圧による経時絶縁破壊（Tddb）寿命評価へと議論を広げる。直流・矩形波ストレスの比較結果を基に、電圧波形やデバイスの違いが寿命推定に及ぼす影響を考察し、パワーエレクトロニクス回路の性能と寿命を両立するゲート電圧設計への応用を紹介する。	
10:55 ～ 11:15	化合物パワー半導体信頼性試験方法ガイドライン[EDR 4713] の解説： A. SiC MOSFET ゲートしきい値電圧変動試験 E. AC バイアス SiC MOSFET ゲートしきい値電圧変動試験	谷岡 寿一[三菱電機株式会社]
11:15 ～ 11:50	パワーモジュールの信頼性に関する国際標準ガイドライン「IEC 63287-3」 遠井 茂男[三菱電機株式会社] 自動車、産業、鉄道、民生のあらゆる用途で使用するパワーモジュールの信頼性ガイドラインの国際規格を日本（JEITA）から提案し 2026 年 8 月発行した（IEC63287-3）。国際規格発行に至った経緯、及び、既存の JEITA EDR-4711A「パワーデバイスの信頼性認定ガイドライン」との違い（品質グレード制定やミッションプロファイルに基づく試験条件や判定条件の設定など）も含めて、規格内容について紹介する。	
11:50 ～ 13:00	休憩	

時間	タイトル	登壇者
13:00 ～ 13:20	Si MOSFET の TDDB 測定、及び スクリーニング手法	
		立山 剛[ルネサス エレクトロニクス株式会社]
13:20	MOS ゲートを有する Si パワーデバイスに関し、酸化膜の経時破壊（TDDB）と寿命予測方法、および製造上の欠陥に起因する初期不良品のスクリーニング手法について紹介する。	
13:20 ～ 13:40	SiC 化合物パワー半導体信頼性試験方法ガイドライン追補 2 [EDR-4713 Amend. 2]の解説：F. SiC MOSFET の経時絶縁膜破壊（TDDB）試験	
		鈴木 拓馬[東芝デバイス&ストレージ株式会社]
13:40	SiC-MOSFET の TDDB 試験では、Si-MOSFET と比較して、ストレス印加中の電流値や電圧値が変動しやすい。本講演では、この特徴を踏まえた適切な TDDB 試験方法および試験条件の設定について解説する。	
13:40 ～ 14:10	パワーモジュール用パワーサイクル試験規格の解説 (IEC60749-34-1、EDR-4711、ED4701/600)	
		中西 英俊[三菱電機株式会社]
	パワーモジュールには、製品構造上、寿命があり、その評価方法として、パワーサイクル試験がある。 今回、世界で初めて、製品寿命予測を含めた詳細な試験方法に関する国際規格 (IEC60749-34-1) を日本 (JEITA) から提案し、2025 年 6 月発行したので、その内容を解説する。 特に、応用装置の動作モードによる温度変化で分類した短時間と長時間モード試験の目的、試験方法、故障判定基準、故障モード及び寿命予測方法について、JEITA 規格と比較して解説する。	
14:10 ～ 14:30	休憩＋名刺交換	
14:30 ～ 15:00	SiC パワーMOSFET モジュールのパワーサイクル試験方法（EDR4701/600A－試験方法 604）	
		加藤 史樹 [国立研究開発法人 産業技術総合研究所]
	「半導体デバイスの環境及び耐久性試験方法（個別半導体特有の試験）」は、パワーモジュールのパワーサイクル試験規格として 2013 年の制定以来、広く活用されてきた。このたびの改訂では、EDR-4701/600A－試験方法 604 として、ワイドバンドギャップ半導体である SiC パワーMOSFET を搭載したパワーモジュールの試験方法が新たに規定された。本講演では、改訂の背景と主なポイントを示すとともに、従来の試験方法との相違点を交えて規格内容を解説する。	

時間	タイトル	登壇者
15:00 ～ 15:40	SiC ウェーハの結晶欠陥の非破壊検査方法の概要紹介 part1: 結晶欠陥の分類 [EDR-4712/100] part2: 光学検査手法による SiC エピタキシャル層欠陥の検査方法 [EDR-4712/200] part3: フォトルミネッセンス法による SiC エピタキシャル層欠陥の検査方法 [EDR-4712/300] part4: 光学検査手法とフォトルミネッセンス法による SiC エピタキシャル層欠陥クラス識別 [EDR-4712/400] part5: X線トポグラフィ法による SiC エピタキシャル層欠陥の検査方法 [EDR-4712/500] part6: 光学検査手法とフォトルミネッセンス法と X線トポグラフィ法による SiC エピタキシャル層欠陥クラス識別 [EDR-4712/600]	先崎 純寿 [国立研究開発法人 産業技術総合研究所]
15:40 ～ 16:05	化合物パワー半導体信頼性試験方法ガイドライン [EDR-4713] の解説： B. SiC MOSFET ボディーダイオード通電によるオン電圧変動試験	奥村 啓樹 [富士電機株式会社]
16:05 ～ 16:25	SiC MOSFET のボディーダイオードに通電を行うと、Si MOSFET では通常観測されないオン電圧上昇、およびオン抵抗上昇が起こるバイポーラ劣化と呼ばれる現象がある。この試験方法のガイドラインを解説する。	
16:05～16:15	質疑応答	
16:15 ～ 16:25	閉会のあいさつ	化合物パワー半導体信頼性技術 WG 主査 奥村 啓樹 [富士電機株式会社]

※都合により、プログラムが変更になる場合がございますので、予めご了承ください。

■運営事務局・各種お問合せ先

一般社団法人 電子情報技術産業協会 事業推進戦略本部 事業推進部 担当：岩淵・大森
〒100-0004 東京都千代田区大手町 1 丁目 1 番 3 号 (大手センタービル)
E-mail : device3@jeita.or.jp

■個人情報保護について

※ご参加いただきました方の個人情報は、本セミナーの受付、JEITA 主催セミナーのご案内、セミナーアンケートでの質疑回答のために使用いたします。これら以外の目的で使用することはございません。

※JEITA の個人情報保護方針につきましては下記をご参照ください。

<https://www.jeita.or.jp/japanese/privacy/>