

## 半導体デバイス信頼性標準化 -ESDセミナー-

- ・JEITA-EDR4709:システムレベルESDに対応した半導体のESD試験方法検討とシステムへの半導体部品実装方法のガイドライン
- ・JEITA-EDR4710:半導体取り扱いとESD耐量適正化検討のガイドライン

主催・企画：一般社団法人 電子情報技術産業協会 半導体信頼性技術小委員会

半導体デバイスの生産と取扱い環境下でのESDによる破壊防止策として、工程のESD管理の推進、ESD保護素子・回路技術の検討開発が昨今進められてきました。その成果により、近年、取扱い工程での半導体デバイスのESD起因での故障事例は殆ど無くなってきています。発生している故障は、取扱いの問題によるEOS破壊が主要因。と考えております。しかしながら、従来からの半導体ESD耐量基準を遵守しようとする事で、設計コスト向上等半導体の発展の足かせになっているのが現状です。

また、電子機器の通電・使用過程のESDによる誤動作を想定したシステムレベルESD試験は、市場での電磁妨害(EMC)に対する耐性試験の一つとして規格化されていますが、それに対して、目的の違う半導体のESD試験とシステムレベルESD試験と同列に扱い、半導体の信頼性認証試験に取り入れてその耐量を求めたり、ESD試験とその耐量との比較を行う等の誤認識も見受けられ出しています。

今回、当該分野の専門家であるJEITA委員を含む講師陣が、最新の設計と規格動向・メカニズム等を中心にまとめたガイドラインの内容の詳細を解説します。

日時

2015年6月26日(金) 10:00~17:00

会場

(一社)電子情報技術産業協会 416会議室

### Program

司会:若井 伸之 (株東芝)

10:00~10:10	開催のご挨拶 瀬戸屋 孝 半導体信頼性技術小委員会 主査 (株東芝)
10:10~10:20	JEITA半導体信頼性技術小委員会 ESD標準化セミナー概要 若井 伸之 (株東芝)
10:20~12:00	システムレベルESDに対応した半導体のESD試験方法とシステムへの半導体部品実装方法、取り扱いガイドライン(JEITA EDR-4709)の解説 徳永英晃(パナソニック株)、小山 明(ソニー株)、小淵雅宏(オンセミコンダクター)、若井伸之(株東芝)、田中政樹(元ルネサスエレクトロニクス株)、鈴木輝夫(株)ソシオネクスト、石塚裕康(シナプティクス・ジャパン株) (質疑応答)
12:00~13:00	休憩
13:00~16:45	半導体取り扱いとESD耐量適正化のガイドライン(JEITA EDR-4710)の解説 -ESD試験の目的と適用範囲について -ESD保護設計の現状について -実際の放電現象とESD試験の関係からみたデバイスの耐量基準について -ESD管理方法について -ESD耐量基準を低減させた場合の影響について -推奨する耐量適正条件 小淵雅宏(オンセミコンダクター)、鈴木輝夫(株)ソシオネクスト、市来 勉(ルネサスエレクトロニクス株)、若井伸之(株東芝)、石塚裕康(シナプティクス・ジャパン株)、福田真一(住友電工デバイス株)、小山 明(ソニー株)、田中政樹(元ルネサスエレクトロニクス株) (質疑応答)
16:45~16:55	全体質疑応答
16:55~17:00	閉会のご挨拶 若井伸之 ESD耐量適正化検討PG リーダー (株東芝)

## 半導体デバイス信頼性標準化 -ESDセミナー-

- ・JEITA-EDR4709:システムレベルESDに対応した半導体のESD試験方法検討とシステムへの半導体部品実装方法のガイドライン
- ・JEITA-EDR4710:半導体取り扱いとESD耐量適正化検討のガイドライン

### 参加要領

- 日時 2015年6月26日(金) 10:00~17:00
- 場所 (一社)電子情報技術産業協会 416会議室  
〒100-0004 東京都千代田区大手町1-1-3  
大手センタービル4階  
<http://www.jeita.or.jp/japanese/about/location/>
- 申込期限 2015年6月19日(金) 必着
- 定員 40名(定員になり次第締め切らせて頂きます)
- 申込方法 参加申込書・テキスト申込書をダウンロードいただき、必要事項をご記入の上、お申込みください。登録完了後、登録アドレスに「受講票」と「振込案内」をお送りいたします。下記URLをご参照ください。  
<http://semicon.jeita.or.jp/hp/srg/>



- 参加費 20,000円 (JEITA会員) 25,000円 (非会員) 3,000円 (学生) 税込  
**特別参加 ¥33,000 (テキスト【EDR-4709,EDR-4710】1セット込み、聴講は2名まで無料)**  
 ※会員・非会員の区分は、下記にてご確認ください。(特別参加の場合、区分不要)  
 (JEITA) <http://www.jeita.or.jp/cgi-bin/member/list.cgi>  
 ※お申込み後のキャンセルはお断りさせていただいております。  
 ※セミナー参加者向けの当該ガイドライン特別頒布価格をご用意させていただいております。専用申込用紙にて入手をお勧めいたします。専用申込書(別紙)でのお申込みに限りますのでご留意願います。 <http://semicon.jeita.or.jp/hp/srg/>

テキスト名	番号	通常頒布価格	セミナー参加 特別頒布価格
システムレベルESDに対応した半導体のESD試験方法検討とシステムへの半導体部品実装方法,取り扱いガイドライン	EDR-4709	¥11,726	¥6,000
半導体取り扱いとESD耐量適正化のガイドライン	EDR-4710	¥12,312	¥7,000

- お知らせ (今後の開催予定について)  
2014年度に開催致しました当該セミナーはお陰様を持ちまして大変好評を頂き盛況に終えることができました。2015年度は以下地域でも開催を予定しておりますので、皆様のご参加をお待ちしております。開催詳細につきましては、ホームページ等で公開予定です。(2015年10月 名古屋地区、2016年2月 福岡地区)
- お問合せ先 半導体信頼性技術小委員会 担当事務局  
一般社団法人電子情報技術産業協会 電子デバイス部 (木暮・吉井)  
TEL 03-5218-1061 FAX 03-5218-1080 E-Mail [device3@jeita.or.jp](mailto:device3@jeita.or.jp)

※申し込み時に入力いただきました個人情報は本セミナーの受付、次回ご案内の為に使用いたします。他の目的で使用する事はございません。  
 ※JEITAの個人情報保護方針につきましては下記をご参照ください。  
<http://www.jeita.or.jp/japanese/privacy/>