

「2015年度版実装技術ロードマップ」の 発刊に関して

「IoT (Internet of Things)」時代を支える 実装技術のありたい姿を描く

電子実装技術委員会/Jisso技術ロードマップ専門委員会では、「2015年度版実装技術ロードマップ」を6月2日に発刊しました。当誌は1999年から隔年毎に発刊していますが、前回までの「日本実装技術ロードマップ」という名称から、「日本」という地域限定的な表現を改め、よりグローバルな視点での活動にしたいと考え、取り組んできました。

今回のロードマップでは、グローバルでの大潮流である「IoT社会」を実現するために、実装技術や関連業界がどうしたら貢献できるかについて描いています。また、従来までの「機器セット」という、個別のモノを点で見るのではなく、これから注目すべき「市場」、「アプリケーション」を面でとらえ、実装技術がとるべき方向性を描いています。

これまでとは異なる新たなコンセプトの内容となっており、皆様のお役に立てると考えています。



【注目される市場と電子機器群 (第2章)】

今回のロードマップでは、最前線で活躍する実装技術の専門家の予測と、ワールドワイドな市場調査を基に、「メディカル」「エネルギー」「モビリティ」の3つの市場カテゴリーを選びました。その中で更に、この先我が国の実装技術が活かされ、希望が持て、成功が期待される電子機器群を絞り込み、市場、技術やその課題、将来展望について記載しました。

- ①「メディカル」：(a) 介護 (b) 低侵襲機器 (c) 医療機器 (d) ウェアラブル端末
- ②「エネルギー」：(a) エネルギー概論 (b) スマートホーム (スマートメータ、テレビ、PC、スマートフォン) (c) エネルギーハーベスティング (d) ワイヤレス給電
- ③「モビリティ」：(a) 自動車 (カーナビゲーション、エンジンルーム外に搭載される電子機器ユニット、エンジンルーム内に搭載される電子機器ユニット) (b) 高速鉄道 (リニア) (c) LRV (Light Rail Vehicle) (d) 航空

3つの市場カテゴリー



【半導体デバイス (第3章)】

今回のロードマップでは、IoTの伸長を視野に入れて、小型低コストパッケージに注目し、中でも特に高密度化を実現できるWL-CSP (Wafer Level- Chip Size Package) およびその発展系であるFO-WLP (Fan-Out Wafer Level Package) の動向を大幅に更新しました。FO-WLPに関しては、更なる大判化に向けてパネルプロセスの導入が話題となってきているため、各種配線プロセスの比較も加え、今後のインフラ整備が必要であることを指摘しました。

また、プロセスの章においては、SiP (System in a Package) の基盤技術となるLSIチップの薄化技術に関する解説を加えました。

高密度実装の目指す領域のイメージマップ



WL-CSP の構造とその比較 (ベアチップ、FO-WLP も記載)

	ベアチップ		WL-CSP		FO-WLP	
	Bump	RDL+Bump	タイプ1	タイプ2	裏モールド型	表+裏モールド型
<ul style="list-style-type: none"> ベアチップ (Bump 付きを含む) WL-CSP FO-WLP <p>代表的な各構造例に於ける端子部分の構造断面図とプロセス・機能比較 (検査・テストプロセス等は省略)</p>						
<p>基本的な構造・プロセスの比較</p>						
パッシベーション層形成	通常は前工程で加工。SiONなど無機材料					
第1次保護膜層形成	BCB, PI, PBO など					
ダイシング	チップの個片化					
チップ再配置	Temporary bonding					
再配線形成	Cuのつき、薄層 (AF等) の場合もある。設計依存					
第2次保護膜層形成	BCB, PI, PBO など					
Cuポスト形成	Cuのつき、接着層 (Ti 等)、バリア層 (Ni等)					
UBM層形成	蝕食防止層 (Au, Pd等) の組合わせ					
封止層形成	表面 印刷、モールド等 側面 ダイシング面からのダメージ、ULK, ELK 保護 裏面 モールド又はフィルムラミネート (BSL)					
キャリア移植	De bonding					
樹脂研削	封止材料 + Cu のグラインディングなど					
めっきはんだバンプ形成	微細ピッチ、小径向き					
はんだボール搭載	大径ボール可、均質、Pbフリー材質の自由度有り					
ダイシング	パッケージの個片化					
<p>パッケージとしての機能・項目と比較 ☆の数が多いほど良好</p>						
保護機能	湿度	長期信頼性 (HAST, PCT) への指標				
	光	Image Sensor 等は除く				
	外力	Final Test, T&R 等の作業からのストレス				
接続機能	低抵抗、低容量、低インダクタンス					
放熱機能	はばベアチップなので、外部へ熱を逃がし易い構造					
実装性	接続ピッチ	0.4mm pitch以上等、設計依存				
	扱い易さ	SMT実装	T&R供給可、実装機 (マウンター)、一括リフロー			
		MSL	LEVEL 1 対応			
		UF不要	チップサイズや落下衝撃要求で使用する場合もある			
実装信頼性	温度サイクル	基板実装後の温度サイクル寿命				
	落下衝撃	JEDEC, その他の独自基準				

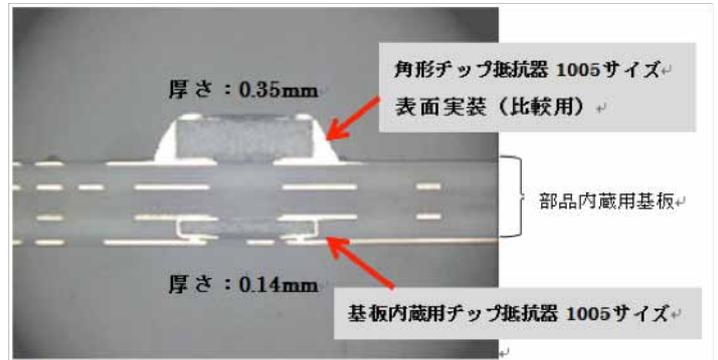
【電子部品 (第 4 章)】

電子部品に関して、「LCR部品」、「EMC部品 (含むESD部品)」、「コネクタ」の最新技術動向を記載しました。「LCR部品」では各部品の個別動向に加え、共通事項として部品内蔵技術と0201サイズ部品の実装について取り上げました。

- ①インダクタ : (a) 電源用インダクタ (b) 信号用インダクタ
- ②コンデンサ : (a) セラミックコンデンサ (b) フィルムコンデンサ (c) アルミ電解コンデンサ (d) タンタル電解コンデンサ (e) 電気二重層キャパシタ
- ③抵抗器 : (a) 抵抗器のトレンド (b) 端子温度の負荷軽減曲線
- ④ LCR 部品共通項目 : (a) 部品内蔵技術動向 (b) 0201 サイズ面実装部品の実装課題

- ⑤EMC部品 (含むESD部品) : (a) チップビーズ (b) コンモードフィルタ (CMF) (c) 3端子EMIフィルタ
- ⑥コネクタ : コネクタの動向予測

基盤内蔵用チップ抵抗器の内蔵の様子



【プリント配線板 (第 5 章)】

今回のロードマップでは、JPCA (Japan Printed Circuit Association) から出版された「2015年度版プリント配線板技術ロードマップ」から、プリント配線板の概況、ビルドアップ多層プリント配線板、多層フレキシブルプリント配線板およびビルド

アップ構造サブストレートを抜粋しました。また、優れた表面平坦性、寸法安定性、高い電氣的絶縁性、優れた化学薬品耐性、高い光透過性、および薄い大型パネルの入手可能性 (低コスト化) など、シリコンや有機樹脂と比較して多くの利点をもつガラスサブストレートの特徴、製法などに関して詳しく記載しました。

プリント配線板の技術方向性



【実装設備 (第6章)】

今回のロードマップでは初の試みとして、実装設備WG自身で顧客および現場サイドのメーカー技術者にアンケートを送り回答して頂く取組みを行ないました。アンケートの対象は全世界に広げ、結果かつて無い規模の238件もの回答を得る事ができ、また地域的にも業種的にもより広範囲からの回答が集まりました。今回はこの結果を最大限活用し、市場実態の紹介と将来の方向性分析を行なっています。

アンケートの設備区分は前回までと同様「印刷機」「マウンタ」などで行っており、回答数が減って一時途絶えていた「ボンダ」も復活しました。また各設備の要求項目も前回までに準じた内容としたので、過去からの変化点や変化量が明らかにでき、より信頼性のある方向性分析をする事ができました。

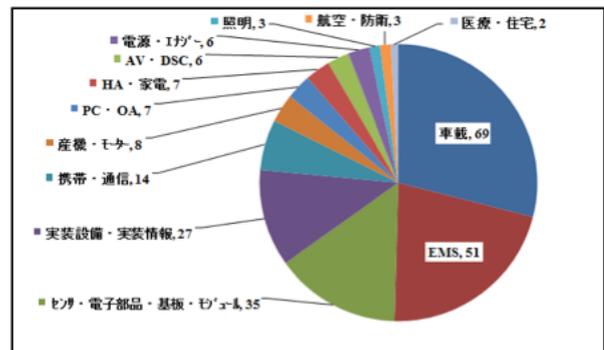
【実用化が期待される先端技術 (第7章)】

3章~6章では各々の技術領域での詳細が記載されていますが、第7章では他の章にも関り、実用化に向けて着々と開発が進んでいる三次元(3D)実装技術を、それによって実現される製品(SiP (System in a Package)、機能モジュール)の観点で記載しました。

3D実装での代表的要素技術としてインターポーザ技術、部品内蔵技術、接続技術におけるニーズ、課題を整理し、将来どのような3D実装技術がどのように使用されるかをサプライチェーンも考慮して描きました。

3D実装技術は、TSV (Through Silicon Via) によるICチップ積層技術のみではなく、異種デバイスの集積化という視点で、“System Moore”とも言える重要な技術も含んでいます。これらをいかに組み合わせていくかが鍵となると考えています。

実装設備アンケート結果の業種別件数 (多い順)



次世代実装形態の構造

実装形態	構造図	解説
2D		有機材料(セラミックスなど)や、有機材料を使用した回路基板上に、搭載部品を平面的に実装した構造。
2.5D		シリコン、ガラス、有機材料などを使用したインターポーザに、複数の半導体を平面的に実装したモジュールを、ペースとなる回路基板上に実装した構造。
3D		複数の半導体チップが互いに(2次元)に直接実装した構造。本家では、TSV技術などにより半導体チップ同士を接続している構造を目指す。