

半導体信頼性技術小委員会の活動紹介

JEITA 半導体信頼性技術小委員会では、半導体デバイスの信頼性試験規格の標準化を主な目的として、2014年度は、20社23名の委員に参加戴き、活動を行っています。図-1に半導体信頼性技術小委員会の組織表を示します。最近の主な活動トピックスとしては、近年は国内半導体メーカーの不振が顕著になって来ており、その凋落の原因の一つに過剰品質問題があるとの指摘も有り^{1~4)}、本小委員会では、信頼性試験方法 ED-4701 の改訂、認定ガイドライン、ESD に対する半導体取り扱いガイドライン等の標準化によって、顧客から要求される品質レベルの適正化に取り組んでいます。一方、国内半導体産業は、車載、産業用途への用途拡大が進んでおり、これらの用途には、より高品質、高信頼性の製品が求められています。車載用半導体デバイスには、認定ガイドラインを作成して、車載品質を確保する方法の標準化を進めています。

また国内半導体メーカー自身が、ファンダリーに製造を委託する、ファブレスメーカーも増加していることから、半導体製品の摩耗不良寿命に影響するウェハーレベル信頼性の試験方法、データの取得方法、寿命予測及び、製品の品質、信頼性保証方法は、さらに重要性を増しており、ウェハーレベル信頼性の試験法、寿命予測方法を国内各社の意見を集約して、JEDEC と協力して国際標

準化を進めています。

これらの活動について、広く認識、活用戴くため、一般者向けのセミナーを定期的で開催して、規格、ガイドライン及び活動内容の普及を進めています。さらに米国 JEDEC/JC14 (信頼性技術委員会) との合同会議 (Joint Working Group#3: JWG3) を年1回行い、JEITA と JEDEC における規格案の情報交換と規格内容のハーモナイズをした上で、IEC/TC47へ規格提案する活動を行っています。

以下に半導体信頼性技術小委員会傘下の組織で進めている2014年度の活動状況について説明致します。

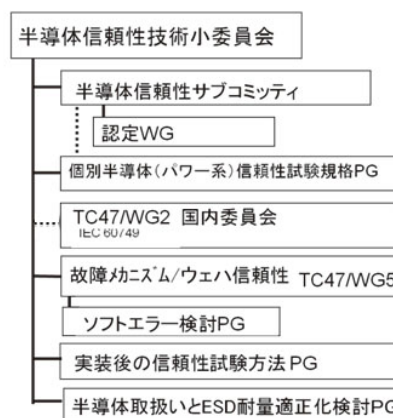


図-1 JEITA 半導体信頼性小委員会組織表 (2014年度)

半導体信頼性サブコミッティ

近年における活動の課題として、JEITA で作成された規格類は、日本国内での使用に限定される傾向が見受けられます。図-2には、東南アジア各国の、主な信頼性試験法規格で主に準拠している規格を示します。このように日本以外では JEDEC を標準試験規格として適用する事が主流になっており、日本国内でも、日本以外の国から半導体を購入する際、JEITA 規格類での試験を要求すると、追加試験費用を要求される事が多くなり、国内の大手半導体ユーザーも標準試験方法規格として JEDEC 基準を採用するユーザーが増えてきています。これは一因として日本の主要セットメーカーの国際的な購買力が低下してきたことがありますが、JEITA としても、この状況に合わせるため、2014年に ED-4701

(半導体デバイスの環境及び耐久性試験方法) を10年振りに全面改訂、8分冊にして発行しました。改訂した主な試験方法と改訂内容は、1) 温度サイクル試験: IEC60749、JEDEC JESD22 A104との内容整合化を図りました。2) はんだ耐熱性試験: Floor Life に、JEDEC 条件追加し加湿条件に加速条件の整合を図りました。3) ESD/HBM 試験: MM (マシンモデル) 廃止と廃止の理由も明確化しました。また HBM 試験の必要性と位置付の明確化 (過剰な試験の防止) も明記しました。4) ESD/CDM 試験: JEDEC JESD22 C101の整合化条件の見直し (校正条件の見直し) を図りました。今年度の継続テーマとして 試験時間、サンプルサイズ決定手順ガイド (ED-4701/002) の発行を進めてい

ます。

一例として図-3には、JEITA と JEDEC の SMD 耐熱性試験方法の吸湿前処理条件の違いを示しますが、JEITA が30℃ /70% に対して、JEDEC が30℃ /60% と吸湿放置環境湿度が異なっており、図のケースでは

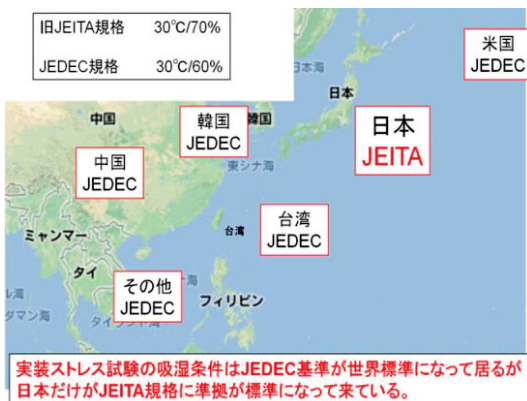


図-2 東南アジアの規格利用状況

防湿梱包開封後の実装までの放置可能時間に差がでる結果となり、JEITA 規格類に準拠すると半導体メーカー側に不利な条件になっていました。今回の改訂で、JEDEC 基準についても選択できるようにしました。

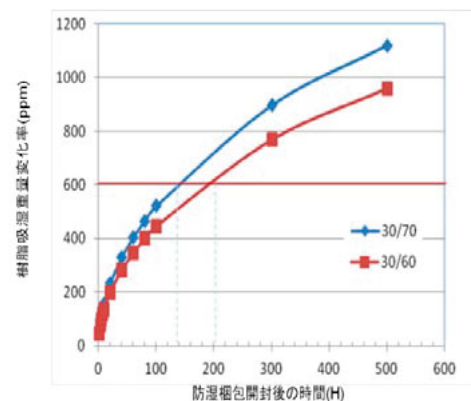


図-3 JEDEC と JEITA の吸湿条件の違い

認定ワーキンググループ

自動車用半導体を中心とする認定試験のガイド第2版を発行しました。自動車用半導体の認定試験規格としては、米国 Big-3が中心になって策定した AEC-Q100/101という規格が国際標準になりつつありますが、AEC-Q100/101は、多量の試験サンプルと長時間の試験時間が必要になり、一方、初期不良（EFR）等の品質面での確認事項が弱いなどの問題点がありました。たとえば BGA-350pin クラスの LSI の HTO 試験を実施する場合、77pcsX3Lot 2000h の評価を試験ソケット、試験ポートから作成すると AEC-Q100では、約2500万円の費用が掛かります。そこで JEITA では、AEC-Q100/101に代わる新しい、自動車用認定試験規格 EDR-4708を国内自動車メーカー、電装メーカーと共同で策定して、HTO 試験では400万円程度の費用で、車載品質、信頼性を十分確保できることを明確化しました。2011年に標準化し、普及を進めています。2014年は JEDEC と JEITA の策定方針、国際標準化で合意を行い、IEC へ NP を実施。ドイツと CDV の内容で整合して、JEITA、JEDEC、AEC-Q100を一本化するため IEC 化を推進中です。WG としては、EDR-4708B

第3版ではファミリーを取り込み中で初期故障率の検証及び品質グレード、具体的なサンプル数、試験時間の一覧表ガイド完成、発行する予定です。またこの規格は自動車メーカー、電装メーカーに広く使っていただいて、初めて世界標準規格となるため、東京、名古屋で計5回セミナーを今までに実施しています。写真-1に、セミナーの写真を示します。今後も認定試験ガイドの認知、普及を進めていく予定です。



認定ガイドライン説明会セミナー

個別半導体（パワー系）信頼性試験規格 PG

個別半導体（パワー系）信頼性試験法 PG では、今後、普及、増大が期待される HV/EV 等の大型パワーデバイスに対して、繰り返し熱ストレスに対する試験法が規格化されていなかった事から、2013年度に車載用、産業用パワーデバイスの信頼性試験規格（パワーサイクル試験法）作成、ED-4701/600として発行しました。繰り返し熱ストレスによる不良はパワーデバイスの寿命を決める、極めて重要な試験ですが、繰り返し動作条件により、発生する不良モードも異なるため、それぞれの不良モードを検出する為の試験法として3種類の繰り返し熱ストレス試験法（パワーサイクル）を作成、発行しました。図-4には、3種類の試験法の違いについて説明した資料の一部を示します。詳細は紙面の都合で割愛しますが、パワーデバイスの試験法を標準化した意味は大きいと考えています。

2014年度は、認定 WG と連携して車載用個別半導体製品の認定ガイドの策定を進めており、1) スクリーニング方法、2) アバランシェスクリーニング、3) ゲートスクリーニング法、4) サンプルサイズのガイドを

含めた規定を EDR-4710として発行予定です。また、ドイツの主要自動車メーカー5社が作成した、パワーモジュール認定規格 LV324との試験方法の整合についても、定期的に打ち合わせを実施して整合を図るよう推進しています。

		ΔT_c	ΔT_j	Standardization
Molding type		Up : 2~5min Down: 2~5min	————	EIAJ ED-4701 601
Non-Molding type (Case type)	Short time	————	Up : ~10sec Down: ~20sec	EIAJ ED-4701 602
	Long time	Up : 1~3min Down: 2min~	————	EIAJ ED-4701 603

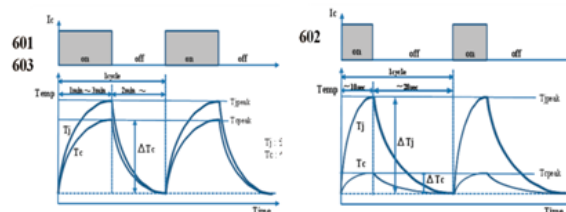


図-4 パワーサイクル試験法の種類と違い

IEC TC47/WG2 (Climatic and mechanical tests) 国内委員会

IEC TC47にて、日本から提案した文書のフォローを進めています。ESD-HBM, と THS は、可決されましたが CDM は否決されました。現在、認定 WG で制定した IEC60749-43：認定ガイドライン（JEITA-EDR-4708準拠内容）は、CDV 投票に向けたコメントが100件以上有り、反対コメントの多かったドイツの

委員と調整ワーク実施後、CDV の段階に進めることで合意しました。また、IEC60749-44：中性子線照射 SER（JEITA-EDR-4705準拠内容）は、UK エキパートの賛同を得ることに成功し、詳細討議を行い CD 回覧文書完成しました。

故障メカニズム / ウェハー信頼性プロジェクトグループ

故障メカニズム PG では、半導体 LSI 製品の摩耗寿命を決定する TDDb、NBTI、HC、EM、SM 等のウェハーレベル信頼性試験規格作成を担当しています。いままで TDDb、HC、NBTI、EM、SM 試験法は日本が試験

法原案を作り、JEDEC と整合して IEC へ国際標準化を進めてきました。表-1に、JEITA から提案した WLR 試験法の国際標準化状況を示しますが、これらの試験法は、ほぼ JEITA から提案した試験法が IEC 化できてい

ます。国内でも先端口ジック製品のファンダリーへの製造委託が増えてきており、1社からの依頼ではなかなか対応いただけなかった WLR 試験データの提供も国際標準化する事により、容易にファンダリーメーカーから入手できるようになりました。

また2012年度から開始した IEC、JEDEC への提案活動をさらに推し進めました。主な提案項目の Copper SIV 基準 Foundry 基準では、JEDEC と歩調を合わせ基準化を進めています。

2014年度は、サンプルサイズ、試験 TEG 構造を明確にした SIV、Fast BTI、HCI 規格日本案を作成しました。またファンダリー認定規格策定を策定して JEDEC とのハーモナイズを進めていく予定です。

また、国内半導体ユーザー向けにファンダリーを使う

上での注意点を説明するセミナーを東京と名古屋で開催しました。

Test item	HC	BT/Fast BTI	TDDB	EM	SM	IMD-TDDB
TEG構造	L*typ. W*1-20um(recommendation)	Follow IEC/JEITA E04704A				
sample size	5ea / condition 30ea for distribution	30ea / condition	15ea / condition	30(100)ea / condition	20ea / condition	
Method / Lot数	3lots					
Sample size and stress conditions	>= 3 conditions		>= 3 conditions (if necessary)		>= 3 conditions	
その他	worst condition (for >= 3 conditions if necessary)					
加速モデル	Isib. distribution is available to use for effective consideration (only for Isib. model)		Follow IEC/JEITA E04704A			
信頼性ターゲット	0.1% 10% (AG/DC) at target T and V	0.1% 10% at target T and V	0.1% 10% at target T, V and area	0.1% 10% at target T, V and area	0.1% 10% at target T and area	0.1% 10% at target T, V and area
JEITA案の比	②	②	②	②	②	②

表-1 WLR 試験法の内容と JEITA 提案の国際標準化状況

実装後の信頼性試験法プロジェクトグループ

2012年に JEDEC 側から BGA 製品のはんだ Ball 内 Solder Void 規定を JESD217として規定化した事が示されました。規定によると、BGA 製品のはんだ Ball 内 Solder Void は、図-5に示すとおり、各 Void トータルではんだ Ball 面積の15%以下にする事が求められています。本提案に対して、JEITA の実装後の信頼性試験法 PG では、図-6に示すように、はんだ Ball 内の Void 位置が、疲労寿命に影響を大きく及ぼす為、温度サイクル寿命は、平均 Void 面積比と相関性は得ら

れない事を提示し、壊れる位置の相関性を考慮する必要があり、また、過去にはんだ Ball 内の Void が品質、信頼性に影響を与えた事例は無く、日常管理方法も手間が掛かるため、本規定は規格化する必要は無いことを JEITA 見解として、JEDEC 側に回答しました。

結果として JEDEC 側からも、JESD217の Solder Void 規定は、IEC（国際標準化）への提案をしないという方針を確認しました。

% Cumulative Void Calculation

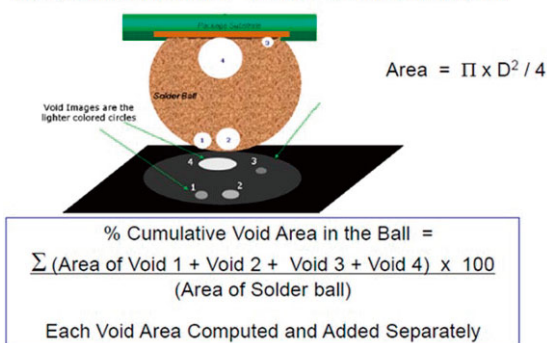


図-5 JEDEC JC-14 BGA はんだ Ball 内 Void 規格

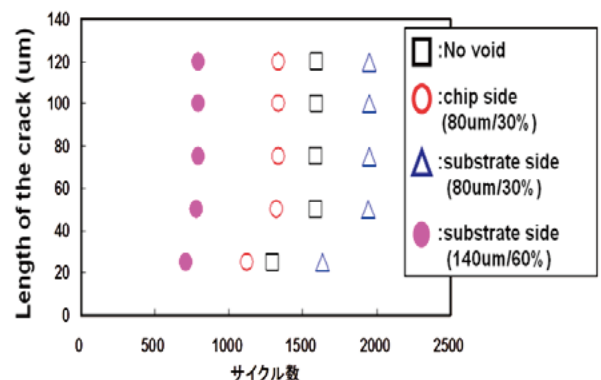


図-6 Void の位置によるサイクル寿命の違い

ソフトエラー検討プロジェクトグループ

ソフトエラー検討PGでは、昨年 EDR-4705 JEITA ソフトエラー試験ガイドラインを発行しました。現在、EDR-4705の内容が難しいとの指摘を受けて、一般半導体ユーザー向けに理解を深めるための追補版を作成中です。一例として図-7に、宇宙放射線(重粒子線)がパワー MOSFET に入射したときの SEB 発生メカニズムを説明した図を示します。このように、それぞれの現象を分かりやすく図示して、理解しやすいように務めています。

また IEC 国際標準化作業として、IEC60749-37-1 Neutron irradiated Soft error test method for semiconductor devices with memory IEC60749

で未標準化の中性子線試験方法の標準化作業を実施中で、審議ドラフト (CD) 内容を完成しました。

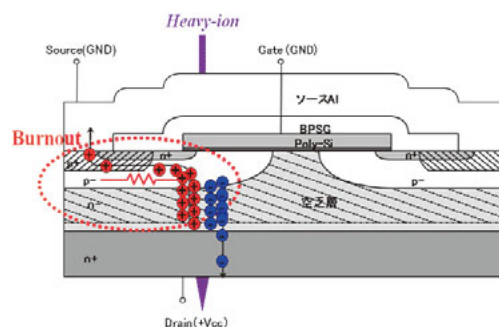


図-7 宇宙放射線(重粒子線)がパワー MOSFET に入射したときの SEB 発生メカニズム

半導体の取り扱いと ESD 耐量適正化プロジェクトグループ

ESD 耐量適正化 PG では、プロセス世代毎に電源電圧は低下しているのに要求される ESD 耐量は低下していないことから、図-8に示すように90nm 以降のプロセス世代から ESD 保護回路の面積比がロジック回路と同じようにはシュリンクできない状況になっており、最近の静電気に対して管理された工程では、半導体デバイス側で確保すべき、基準の適正化を図るべく、議論を進めて、ガイドラインを作成しました。図-9には、ESD 耐量適正化 PG が、とりまとめて提案した ESD 試験基

準ガイドラインを示します。

新ガイドラインでは、半導体組み立て工程で発生する静電気破壊不具合を防ぐためには、HBM : 1000V、CDM : 500V の基準をクリアすれば、問題無いとしました。また市場で発生の可能性の無い MM の廃止を理由も含めて明記しました。半導体のデザインルールの微細化に伴い、素子耐圧も必然的に低下している中で、ESD 耐量の見直しの必要性が唱えられてきています。

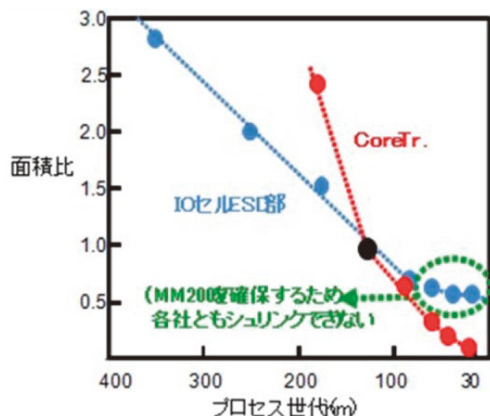


図-8 プロセス世代による ESD 保護回路面積比 (90nm 以降 MM200V を確保するためシュリンクできない。)

1. ESD 試験方法 : MM は不要、HBM と CDM で十分である。
2. 耐量の適正化 : HBM : 1000V、CDM : 500V / 250V
3. ESD 管理実施 : 従来通りの適切な ESD 管理を行う事
4. ESD と EOS : ESD と EOS の違いについて理解が必要。

図-9 JEITA ガイドラインが提案する ESD 試験基準

まとめとお願い

以上、説明しましたように、JEITA 半導体信頼性技術小委員会では、標準化活動を通じて、国内半導体製品の効率向上、国際競争力の向上を進めています。ご興味のある方は、以下の URL から規格、ガイドラインの閲覧と購入も可能ですので、是非ご検討をお願い致します。

URL : <http://www.jeita.or.jp/cgi-bin/standard/list.cgi?cateid=5&subcateid=34>

半導体信頼性技術小委員会では、今後も、半導体メーカー、ユーザー双方にメリットがある活動を目指して、規格類の作成と、作成した規格の普及活動により、効率良い半導体製造、評価、認定を実施できるよう推進していきます。また、委員会費をご負担いただく事により、会員企業の方は、どなたでも委員として参加可能です。詳細は、JEITA 委員会担当事務局にお問い合わせをお願い致します。

参考文献、書籍

- 1) 産業レポート 大矢博之 / 著 週刊ダイヤモンド 2012/11/03
- 2) 「半導体興亡史」第3回 日本経済新聞 (2014.1.19)
- 3) 日本「半導体」敗戦—イノベーションのジレンマ なぜ日本の基幹産業は壊滅したのか?—湯之上隆 / 著 出版社 東京光文社
- 4) 「電子立国は何故凋落したか?」西村吉男 / 著 日経エレクトロニクス 2014.4.28
- 5) JEITA ED**** 信頼性関連規格
- 6) JEDEC JES**** 信頼性関連ガイドライン

半導体デバイス信頼性（摩耗故障・ソフトエラー）セミナー

～ Foundry 活用時代のシリコン信頼性について～

本稿でご報告した内容について、下記の通りセミナーを開催いたします。本セミナーでは、シリコン信頼性を摩耗故障とソフトエラーのメカニズムと信頼性の考え方を中心に解説いたします。半導体の信頼性設計あるいは製品認定等で、Foundry を活用される立場の方々に有益な内容になるのは勿論のこと、半導体の信頼性物理の習得が必要な方にも有益な内容となっております。皆様のご参加を心よりお待ちしております。

◆日時：2014年11月25日（火）9：30～16：55

◆場所：（財）福岡県産業・科学技術振興財団 福岡システム LSI 総合開発センター

◆申込方法：<https://www.ilcc.com/jeita/> よりお申込み下さい。
【2014年11月18日（火）締切】

◆定員：40名

◆参加費（税込）：20,000円（JEITA 会員）25,000円（非会員）